

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-142887

(43)Date of publication of application : 28.05.1999

(51)Int.Cl.

G02F 1/136
H01L 29/786

(21)Application number : 09-313283

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 14.11.1997

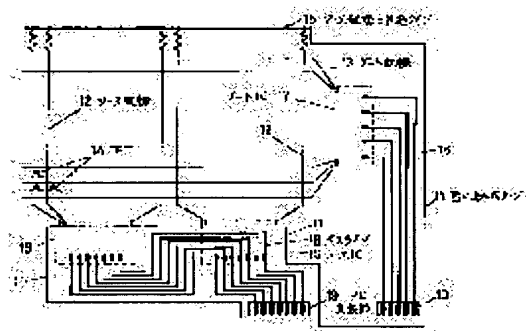
(72)Inventor : NAKAGAWA TAKESHI
NISHIHARA MASATANE

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress breakdown due to static electricity generated among a bus line, a source wiring, a pixel electrode, and a TFT part even when cell assembly is executed such as the printing of an orientation film, the curing of the orientation film and rubbing and to reduce the generation of a defect due to static electricity generated after the completion of an array substrate.

SOLUTION: A surrounding pattern 11 is formed by using a conductor or a semiconductor so as to two-dimensionally surround a bus line 18. Even when static electricity is generated among the bus line 18, the source wiring 12 and the TFT 14 in a process after the completion of the array substrate and discharge is generated due to its voltage difference, the discharge is shielded by the pattern 11, so that the breakdown in the TFT 14 due to static electricity can be suppressed.



LEGAL STATUS

[Date of request for examination]

11.11.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-142887

(43) 公開日 平成11年(1999) 5月28日

(51) Int.Cl.⁶

識別記号

F I

G 0 2 F 1/136

5 0 0

G 0 2 F 1/136

5 0 0

H 0 1 L 29/786

H 0 1 L 29/78

6 1 2 B

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号 特願平9-313283

(22) 出願日 平成9年(1997)11月14日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 中川 毅

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 西原 正胤

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

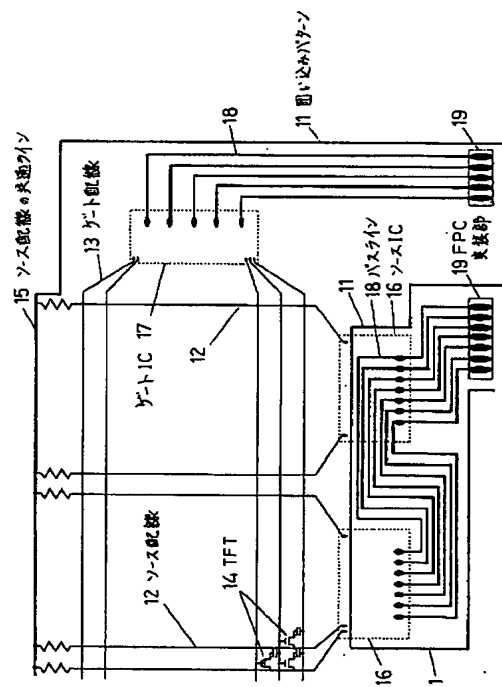
(74) 代理人 弁理士 松村 博

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 配向膜印刷、配向膜硬化、ラビングなどのセル組立を実施しても、バスラインとソース配線、画素電極、TFT部間に発生する静電気による破壊を抑制することができ、これによりアレイ基板の完成以降の静電気による不良の発生を低減することができるようにする。

【解決手段】 バスライン18を二次元的に囲み込むように、導体あるいは半導体を使用して囲い込みパターン11を形成する。この囲い込みパターン11を設けることにより、アレイ基板の完成以降の工程においてバスライン18とソース配線12、TFT14との間に静電気が発生し、その電圧差が起因して放電が生じても、その放電が囲い込みパターン11によって遮蔽されることになるため、TFT14における静電気による破壊を抑制することができる。



【特許請求の範囲】

【請求項 1】 画素電極と薄膜トランジスタが 2 次元的に配され、ガラス基板上に薄膜トランジスタを駆動するためのドライバ用集積回路チップを直接実装するアレイ基板を備える液晶表示装置において、前記ドライバ用集積回路の信号供給配線を囲い込むように導体あるいは半導体によって囲い込みパターンを形成したことを特徴とする液晶表示装置。

【請求項 2】 前記囲い込みパターンを、前記アレイ基板におけるソース配線あるいはゲート配線の共通ラインに電気的に接続したことを特徴とする請求項 1 記載の液晶表示装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、透明画素電極と薄膜トランジスタを 2 次元に配してなるアレイ基板を備えた液晶表示装置に関するものである。

【0002】

【従来の技術】近年、液晶を用いた表示装置は各方面に広く使用されており、特に薄膜トランジスタ(以下、TFT と称する)を用いた液晶表示装置に関する技術は急速に進歩している。

【0003】図 4 は従来の液晶表示装置の液晶表示パネルの構成を説明するための断面図であり、41 は映像信号を書き込むための TFT を用いたマトリクス型のアレイ基板、42 は液晶 43 の動作を制御するための基準電圧を与える対向電極(以下、CF と称する)であって、液晶 43 はアレイ基板 41 における画素電極と CF 42 間の電界により光を偏光させる。

【0004】以上のように構成された液晶表示装置におけるアレイ基板 41 の構成、すなわちガラス基板上にドライバ用 IC チップ(TFT に信号を供給するための集積回路)を直接実装する工法(チップ・オン・ガラス工法)を用いたアレイ基板 41 の構成について図 3 を用いて説明する。

【0005】図 3 は図 4 のアレイ基板の配置パターンを示す平面図であり、図 3 において、ソース配線 12 は、TFT 14 に色信号を供給するための複数本の配線であって、ソースドライバ用 IC(以下、ソース IC と称する)16 の出力部にそれぞれ結線されており、ゲート配線 13 は、TFT 14 にオン・オフ信号を供給するための配線であって、ゲートドライバ用 IC(以下、ゲート IC と称する)17 の出力部にそれぞれ結線されている。またソース IC 16 やゲート IC 17 には、それぞれに対して電源、基準電圧、色信号、クロック信号、スタート信号などを供給するための信号供給配線(以下、バスラインと称する)18 が設けられている。なお、19 はフレキシブルプリント基板(以下、FPC と称する)である。

【0006】

【発明が解決しようとする課題】前記従来のアレイ基板に対して配向膜印刷、配向膜硬化、ラビングなどのセル組立を実施する際に、配向膜印刷、基板の加熱炉、位置規制およびラビング装置などのステージから剥離するとき、あるいはラビングなどの摩擦時には、静電気が発生しやすく、その静電気によって前記バスライン 18 と、ソース配線 12、画素電極、TFT 14 間に大きな電位差が発生して、TFT 14 において静電気破壊が発生するという問題を有していた。

【0007】本発明は、前記従来の問題を解決するものであり、配向膜印刷、配向膜硬化、ラビングなどのセル組立を実施しても、バスラインとソース配線、画素電極、TFT 部間に発生する静電気による破壊を抑制することができて、これによりアレイ基板の完成以降の静電気による不良の発生を低減することができるようにした液晶表示装置を提供することを目的とする。

【0008】

【課題を解決するための手段】前記目的を達成するために、本発明の液晶表示装置は、アレイ基板において、バスラインを 2 次元的に囲み込むパターンを導体あるいは半導体によって形成し、静電気による放電を防止するようにしたものである。このパターンの形成方法としては、成膜、フォトリソグラフ、エッチングなどの方法を用いる。また前記囲い込みパターンを、ソース配線あるいはゲート配線の共通ラインに接続することにより、電気的に同電位なシールド電極を形成したものであって、この構成により、バスラインに発生した静電気が、万一、ソース配線側に放電したとしても、その放電をバスラインを囲み込んだ導体あるいは半導体にて形成された囲い込みパターンとの間のみにて止めることのできるため、静電気による放電を遮蔽することが可能となり、TFT の静電気破壊を抑制することができる。

【0009】

【発明の実施の形態】本発明の請求項 1 記載の発明は、画素電極と薄膜トランジスタ(TFT)が 2 次元的に配され、ガラス基板上に薄膜トランジスタを駆動するためのドライバ用集積回路チップを直接実装するアレイ基板を備える液晶表示装置において、前記ドライバ用集積回路の信号供給配線(バスライン)を囲い込むように導体あるいは半導体によって囲い込みパターンを形成したことを特徴とし、この構成によって、バスラインに発生した静電気による TFT 側への放電が囲い込みパターンによって遮断されるため、TFT の静電気破壊を抑制することができる。

【0010】請求項 2 記載の発明は、前記囲い込みパターンを、前記アレイ基板におけるソース配線あるいはゲート配線の共通ラインに電気的に接続したことを特徴とし、この構成によって、放電遮断が良好な状態で行われるように、電気的に同電位なシールド電極を形成することができる。

【0011】以下、本発明の実施形態を図面を参照して説明する。

【0012】図1は本発明の第1実施形態を説明するための液晶表示装置におけるアレイ基板の配置パターンを示す平面図であり、図1において図3に示す部材に対応する部材には同一の符号を付している。

【0013】図1において、12はTFT14に色信号を供給するためのソース配線、13はTFT14にオン／オフ信号を供給するためのゲート配線、15はソース配線12の共通ライン、16はTFT14に色信号を供給するために実装されているソースIC、17はTFT14にオン／オフ信号を供給するために実装されているゲートIC、18は、ソースIC16およびゲートIC17にそれぞれ設けられて、駆動系信号を供給するためのバスライン、19はFPC実装部である。

【0014】さらに、11は、バスライン18を2次的に囲み込むように、導体あるいは半導体を使用して、成膜、フォトリソグラフ、エッチングなどの方法により形成した囲い込みパターンであって、この囲い込みパターン11は、ソース配線12の共通ライン15に電気的に接続されていて、ソース配線12と同電位になっている。

【0015】このように囲い込みパターン11を設けることにより、アレイ基板の完成以降の工程においてバスライン18とソース配線12、TFT14との間に静電気が発生し、その電圧差が起因して放電が生じて、その放電が囲い込みパターン11によって遮蔽されることになるため、TFT14における静電気による破壊を抑制することができる。

【0016】図2は本発明の第2実施形態を説明するための液晶表示装置におけるアレイ基板の配置パターンを示す平面図であり、図2において図3に示す部材に対応する部材には同一の符号を付している。

【0017】図2において、12はソース配線、13はゲート配線、14はTFT、15はソース配線12の共通ライン、16はソースIC、17はゲートIC、18はバスライン、19はFPC実装部である。

【0018】さらに、21は囲い込みパターンであって、バスライン18だけでなく、シール印刷部のCF(対向電極)との高さ調整用のダミー配線パターン22をも含めて、2次的に囲み込むように、導体あるいは半導体を使用して成膜、フォトリソグラフ、エッチングなどの方法により形成されたパターンである。この囲い込みパターン21は、ソース配線12の共通ライン15に電気的に接続されていて、ソース配線12と同電位になっている。

【0019】このように囲い込みパターン21を設けることにより、アレイ基板の完成以降の工程でバスライン18、高さ調整用のダミー配線パターン22と、ソース配線12、TFT14との間に静電気が発生し、その電

圧差が起因して放電が生じて、その放電が囲い込みパターン21によって遮蔽されることになるため、TFT14における静電気による破壊を抑制することができる。

【0020】以上のように本実施形態によれば、ICチップなどが実装され、しかもICの駆動系信号を供給する配線パターン(バスライン)を囲み込むようにパターンを設けることにより、セル組立時の静電気による破壊を防ぐことができる。

【0021】また前記実施形態においては、ソース配線側に囲い込みパターンを形成するように説明したが、ゲート配線側でも前記と同様に実施してもよいことは言うまでもない。

【0022】さらに前記実施形態においては、ガラス基板上における1面付けの構成にて説明したが、多数個のTFTパネルを並べた構成においても適用することができる。

【0023】

【発明の効果】以上説明したように、本発明によれば、バスラインを囲み込む導体もしくは半導体にて形成された囲い込みパターンを設けることにより、バスラインに発生した静電気が、万一、TFT部側に放電したとしても、このバスラインを囲み込んだ囲い込みパターンにおいて遮断することができるため、アレイ基板の完成以降の工程における静電気不良の発生を抑制することが可能になり、生産性上で静電破壊を防止することが可能な液晶表示装置の提供を実現できる。

【図面の簡単な説明】

【図1】本発明の第1実施形態を説明するための液晶表示装置のアレイ基板の平面図

【図2】本発明の第1実施形態を説明するための液晶表示装置のアレイ基板の平面図

【図3】従来の液晶表示装置のアレイ基板の配線パターンの平面図

【図4】液晶表示装置における液晶表示パネルの基本構成を示す断面図

【符号の説明】

11, 21 囲い込みパターン

12 ソース配線

13 ゲート配線

14 TFT

15 ソース配線の共通ライン

16 ソースIC

17 ゲートIC

18 バスライン

19 フレキシブルプリント基板(FPC)実装部

22 ダミー配線パターン

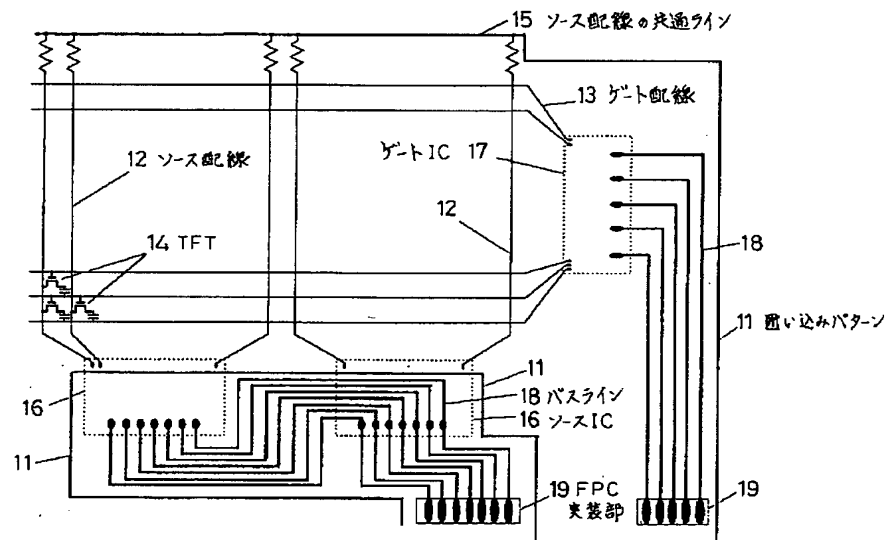
41 アレイ基板

42 対向電極(CF)

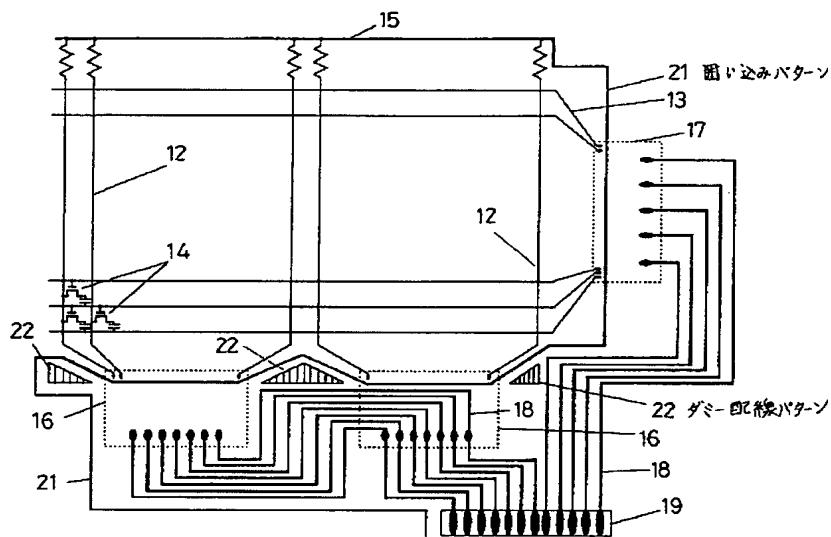
43 液晶

4.4 液晶表示パネル

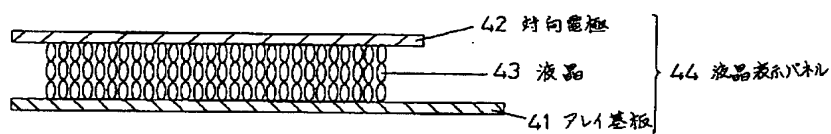
【図1】



【図2】



【図4】



【図3】

